

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

T S4/5/1

4/5/1

DIALOG(R)File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

011397279 **Image available**

WPI Acc No: 1997-375186/199735

XRPX Acc No: N97-311480

**Reducing electromagnetic interference emissions in digital system - by
digitally modulating reference signal, subsequently used to derive one or
more clock signals, by varying by given percentage**

Patent Assignee: HEWLETT-PACKARD CO (HEWP)

Inventor: BROWN P D; PUCKETTE R B E

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 786867	A1	19970730	EP 97300483	A	19970127	199735 B
JP 9289527	A	19971104	JP 96349820	A	19961227	199803
US 5736893	A	19980407	US 96592975	A	19960129	199821
US 5909144	A	19990601	US 96592975	A	19960129	199929
			US 97978181	A	19971125	
EP 786867	B1	20030402	EP 97300483	A	19970127	200325
DE 69720305	E	20030508	DE 620305	A	19970127	200338
			EP 97300483	A	19970127	

Priority Applications (No Type Date): US 96592975 A 19960129; US 97978181 A
19971125

Cited Patents: EP 163313; EP 326643; US 4023116; US 4933890; US 5305362; US
5426392

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 786867	A1	E	12	H03K-005/156	
-----------	----	---	----	--------------	--

Designated States (Regional): DE FR GB

JP 9289527	A		9	H04L-025/02	
------------	---	--	---	-------------	--

US 5736893	A		12	H03D-001/04	
------------	---	--	----	-------------	--

US 5909144	A			H03D-001/04	Div ex application US 96592975 Div ex patent US 5736893
------------	---	--	--	-------------	--

EP 786867	B1	E		H03K-005/156	
-----------	----	---	--	--------------	--

Designated States (Regional): DE FR GB

DE 69720305	E			H03K-005/156	Based on patent EP 786867
-------------	---	--	--	--------------	---------------------------

Abstract (Basic): EP 786867 A

The method digitally derives a signal (20) from a base signal (13) by taking a closest corresponding transition of the base signal as an active transition of the signal. The signal over time defines an average desired frequency. The frequency of the signal is modulated to vary periodically between an upper and a lower frequency limit to produce a modulating reference signal (16).

A clock signal is generated from this latter signal. The electromagnetic interference emissions of this latter signal are spread over a first frequency band. The emissions of the generated clock signal are spread over a second frequency band. The original signal defines a modulation period matching the horizontal retrace period of a display receiving the clock signal.

USE/ADVANTAGE - Computer. Digitally modulates reference signal to reduce EMI emissions in digitally clocked system.

Dwg.2/6

Title Terms: REDUCE; ELECTROMAGNET; INTERFERENCE; EMIT; DIGITAL; SYSTEM;
DIGITAL; MODULATE; REFERENCE; SIGNAL; SUBSEQUENT; DERIVATIVE; ONE; MORE;

CLOCK; SIGNAL; VARY; PERCENTAGE
Derwent Class: T01; U21; U22
International Patent Class (Main): H03D-001/04; H03K-005/156; H04L-025/02
International Patent Class (Additional): G06F-007/62; H03K-003/84;
H03K-021/00; H03K-023/00; H04B-001/68
File Segment: EPI
?

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-289527

(43)公開日 平成9年(1997)11月4日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 25/02			H 0 4 L 25/02	Z
H 0 4 B 1/68			H 0 4 B 1/68	

審査請求 未請求 請求項の数1 O L (全 9 頁)

(21)出願番号 特願平8-349820

(22)出願日 平成8年(1996)12月27日

(31)優先権主張番号 5 9 2, 9 7 5

(32)優先日 1996年1月29日

(33)優先権主張国 米国 (U S)

(71)出願人 590000400

ヒューレット・パッカード・カンパニー
アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72)発明者 ロバート・ビー・イー・パケット
アメリカ合衆国オレゴン州コーヴァリス,
ノース・ウエスト 31エスティー スト
リート 221

(72)発明者 プレストン・ディー・ブラウン
アメリカ合衆国オレゴン州ユーージーン,
ピアース 2597

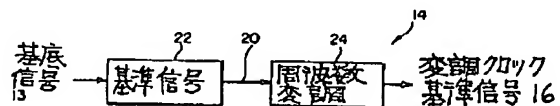
(74)代理人 弁理士 上野 英夫

(54)【発明の名称】 デジタル・システムにおける電磁妨害雑音の放射を抑制するための方法及び装置

(57)【要約】

【課題】電磁妨害雑音を広い帯域幅にわたって拡散して、所望帯域内での電磁妨害雑音放射レベルをデジタル的に低減することにある。

【解決手段】 基底信号から所望の平均周波数を有する第1の信号を導き出し、該第1の信号を周波数変調して、変調基準信号を得る。変調基準信号からクロック信号を発生する。変調基準信号の電磁妨害雑音の放射が、第1の周波数帯域にわたって拡散され、かつクロック信号の電磁妨害雑音の放射が、第2の周波数帯域にわたって拡散される。



【特許請求の範囲】

【請求項1】 基底信号の対応する最も近い遷移を、所望の平均周波数を有する第1の信号のアクティブ遷移とみなすことによって、デジタル方式で該基底信号から第1の信号を導き出すステップと、
第1の信号の周波数に変調を施して、上限と下限の間で周期的に変動する周波数を有する変調基準信号を得るステップと、
変調基準信号からクロック信号を発生するステップとが含まれており、
変調基準信号の電磁妨害雑音の放射が、第1の周波数帯域にわたって拡散され、かつ前記クロック信号の電磁妨害雑音の放射が、第2の周波数帯域にわたって拡散されることを特徴とする、
デジタル・システムにおける電磁妨害雑音の放射を抑制するための方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般に、デジタル・システムにおける電磁妨害雑音（「EMI」）の放射を抑制するための方法及び装置に関するものであり、とりわけ、計算機または他のデジタル式刻時システムに関するものである。

【0002】

【従来の技術】 電磁妨害雑音は、直接または間接に、電子受信機または他の電子システムの性能劣化の一因となる、電子装置から放射される電磁エネルギーである。シールドが不十分な電子装置は、例えば、ラジオ及びテレビジョン信号を劣化させ、結果として、こうした信号を捕捉する受信機において可聴または可視な空電妨害を生じる。政府機関は、一般に、無線波及び他の電磁波スペクトルの公共使用を強化するため、EMI放射を規制している。米国では、例えば、F. C. C. が、装置の試験を要求し、その放射に基づくクラスによって装置の等級分けを行っている。米国のF. C. C. の事務所では、120kHzの帯域幅にわたってEMI放射の等級分けを行っている。120kHzの帯域幅は、FM受信機のような従来の通信受信機の典型的な帯域幅に相当する。こうした帯域幅内におけるEMIの放射を抑制すると、例えば、空電、白色雑音、または、「ゴースト」といった、視聴者が感知する妨害出力が抑制されることになる。

【0003】 電子製品製造業者がとる一般的な予防措置は、EMIの放射を最小限にとどめるため、電子装置に遮蔽を施すことである。例えば、計算機製造業者は、一般に、遮蔽ケーブル及び遮蔽ハウジングを用いて、EMIの放射を最小限に抑える。一方電磁妨害雑音を広い帯域幅にわたって拡散することによって、例えば、商用受信機の120kHzの帯域幅内におけるエネルギー・レベルを低減させることがデジタル的にできれば好ましい。

【0004】

【発明が解決しようとする課題】 本発明の目的は、電磁妨害雑音を広い帯域幅にわたって拡散して、所望帯域内の電磁妨害雑音レベルをデジタル的に低減することにある。

【0005】

【課題を解決するための手段】 本発明によれば、デジタル刻時システムにおけるEMI放射が、デジタル方式で基準信号に変調を施すことによって抑制される。次に、変調基準信号を用いて、1つ以上のクロック信号が導き出される。基準信号を変調すると、基準信号と基準信号から導出された信号は所定の比率だけ変動する。例えば、基準信号が所望の基準周波数の $+/-1\%$ の間で変動するように変調される場合、基準信号から導き出される各クロック信号も、 $+/-1\%$ だけ変動することになる。 $+/-1\%$ の変動は、特定の実施例に関するクロック信号の精度、ジッタ、及び、定格周波数仕様に基づき、実施例が異なれば異なることになる。基準信号を例えば $+/-1\%$ だけ変動させると、基準信号またはそれから導き出される任意の信号に関するEMIの放射は、対応する $+/-1\%$ の周波数帯域にわたって拡散される。さらに、こうした導き出される信号の高調波におけるEMIの放射も、 $+/-1\%$ の周波数帯域にわたって拡散されることになる。従って、100MHzの導出信号は、 $+/-1\% = 2\text{MHz}$ （すなわち、99～101MHz）にわたって拡散され、一方、200MHzにおける前記信号の高調波は、 $+/-1\% = 4\text{MHz}$ （すなわち、198～202MHz）にわたって拡散されることになる。

【0006】 120kHzを超える範囲にわたる任意の信号または信号の高調波に関する周波数帯域によって、一般に商用通信受信機に用いられている120kHzの帯域を超える対応する信号または高調波に関するEMI放射の拡散が行われる。従って、商用通信受信機に対するEMI放射の影響が低減される。こうした帯域幅は、米国における電子装置のEMI放射に対する等級分けに用いられる帯域幅にも対応している。従って、こうした信号に関して測定されるEMI放射も低減する。

【0007】 本発明の態様の1つによれば、クロック基準信号は、デジタル方式で所望の基準周波数の上下に信号周波数のランプを生じさせることによって、デジタル方式の変調が施される。変調は、既定の変調周波数で周期的に行われる。こうした変調によって、所望の基準周波数のわずかな百分率を占める帯域にわたって基準信号の電磁エネルギーが拡散される。同様に、こうした基準信号及びこうした基準信号から導き出された信号の高調波に関する電磁エネルギーが、対応する帯域（すなわち、基準信号の場合と同じ百分率の比帯域）にわたって拡散される。

【0008】 本発明のもう1つの態様によれば、エネル

ギの拡散は、EMIの測定のため、問題となる120kHzの帯域幅を超える帯域幅にわたって、信号または信号の高調波に関して行われる。例えば、240kHzにわたってエネルギーを均一に拡散すると、EMIの影響及び測定されるEMIは1/2に低下する。所定の信号の周波数に関して120kHz未満の拡散を行ったとしても、こうした所定の信号の高調波において120kHz以上の拡散が行われることになる可能性がある。従って、所定の信号のエネルギーの拡散に関する周波数帯域が120kHz未満であっても、EMI全体が低減することになる。すなわち、有効高調波のエネルギーが120kHzを超える帯域幅にわたって拡散するような場合には、EMI全体が低減する。

【0009】本発明のもう1つの態様によれば、変調を施すべき基準信号は、基底信号から導き出される。変調を施すべき(すなわち、所望の)基準信号は、基底信号の部分分数展開によって、基底信号からデジタル方式で導き出される。こうした部分分数展開によって、任意の基準信号周波数の発生が可能になる。所望の基準周波数は、基底信号の対応する最も近い遷移を所望の基準信号遷移とみなすことによって導き出される。実際には、出力クロック信号周波数にディザが施される。長期間にわたれば、基底信号の周波数を割り切らない所望の平均基準周波数が得られる。

【0010】実施例の1つによれば、部分分数展開は、連鎖をなすディバイダとして実施される。各ディバイダには、除数項が含まれている。各除数項は、分数展開の整数部である。この項を導き出すため、基底信号周波数を所望の基準周波数によって割ることになる。こうした除算の整数部は、第1のディバイダの除数項(すなわち、第1の除数項)である。後続のディバイダに関する除数項は、第1の除算からの剰余の逆数を取り、整数部を除数項(すなわち、第2の除数項)として割り当てることによって導き出される。こうした第2の除算の剰余がさらに反転され、第3の整数部が第3の除数項とみなされる。展開は、所定の精度を得るために所望される数のディバイダ段について続けられる。例えば、40MHzの基底信号から14.31818MHzの所望の基準信号を導き出すため、部分分数展開によって、2に等しい第1の除数項、1に等しい第2の除数項、3に等しい第3の除数項が生じる。こうした除数項は、40MHzの基底信号を受信する連鎖をなすディバイダに割り当てられる。結果は、第1のディバイダの出力に生じる14.31818MHzの平均基準信号周波数である。以上の技術については、本願出願人が別途出願した特許出願：特願平8-337814号に記載がある。

【0011】本発明の望ましい実施例によれば、パーソナル・計算機のクロック基準信号(例えば、所望の基準周波数信号)は、既定の変調周波数において、所望の周波数より約1%速い上昇ランプを生じ、所望の周波数よ

り約1%遅い下降ランプを生じる。クロック基準信号の所望の周波数が14.318MHzである実施例について考察することにする。こうした周波数に+/-1%の変調を施すことによって、基準信号は、14.175000MHzと14.46236MHzの間で変動する。これは、286.4kHzにわたる周波数帯域を表している。従って、基準信号のEMI放射は、120kHzの有効範囲の2倍を超える範囲にわたって拡散され、この結果、有害なEMI放射が低減する。高調波が高くなると、+/-1%の拡散によって、周波数帯域幅が286.4kHzよりいっそう広がる。

【0012】本発明のもう1つの態様によれば、変調波形は、基準信号の周波数変動が均等に分布するように整形される。従って、信号エネルギーが120kHzの2倍を超える範囲にわたって拡散されると、EMI放射の低減は、1/2を超えることになる。望ましい実施例の場合、三角変調波形が用いられる。

【0013】本発明のもう1つの態様によれば、変調基準信号から導き出される1つ以上のクロック信号も、周波数が同じ百分率で変動する。基準信号の変調は、基準信号を受信するクロック発生回路要素を通じて進められる。すなわち、位相ロック式ループ及び他の周波数合成装置は、変調基準信号に合わせられ、この結果、変調クロック信号が生じることになる。特定の実施例の場合、こうした変調クロック信号は、クロック発生回路に変更を加えたり、あるいは、回路要素を追加したりすることなく発生する。+/-1%で変調する基準信号の場合、導き出される1つ以上のクロック信号も、+/-1%で変調する。例えば、基準信号から導き出される400MHzのCPUクロック信号は、従って、396MHz~404MHzの周波数範囲にわたって変調する。これは、8MHzの周波数帯域に相当する。こうした帯域は、EMI測定に関する120kHzの有効帯域よりかなり広い。すなわち、8MHzにわたるEMIエネルギーの拡散は、測定されるEMI放射の18dBの低減に相当する。EMI放射は、変調基準信号から導き出される他の信号についても同様に低減する。

【0014】基準信号の変調によってEMI放射を低減させる上での問題は、導き出されるクロック信号のジッタと精度の要件を満たすことである。例えば、CPUクロックは、従来の規格の1つによれば、200ピコ秒(ps)未満のサイクル間ジッタを必要とする。もう1つの例として、ディスプレイ出力周波数偏差が1%でさえ、文字がぶれたり、あるいは、滲んで見えたりする。さらにもう1つの例として、時間及び日付を維持するシステム・タイマは、1ppm内の精度を必要とする。従って、デジタル・クロックは、安定していることと、発生しやすいことが必要とされる。エネルギーを拡散して、測定EMI放射を低減しようとするアナログ手法は、こうした問題に対処することができない。しかし、本発明の方法

は、システム・クロック信号のジッタ及び精度要件に悪影響を及ぼすことなく、該放射を拡散させることが可能である。

【0015】本発明のもう1つの態様によれば、VGA出力クロックの変調による予測される悪影響は、ディスプレイ装置の水平帰線時間に整合する変調周波数を用いることによって、克服される。ディスプレイ装置にとっては、垂直方向及び水平方向において整列するようにピクセルを配置することが重要である。VGA出力周波数の変動によって、不整列が生じると、イメージがぶれることになる可能性がある。しかし、変調周波数と水平帰線周波数を整合させることによって、ディスプレイ装置に走査される各走査線は、変調波形周期内の同じ相対時間位置から開始される。従って、ピクセルは、全体として、走査線のある部分に対してわずかに近く、走査線の別の部分からは離れているが、それでも、垂直方向及び水平方向において画素は整列している。

【0016】本発明のもう1つの態様によれば、ジッタ要件は、変調波形における周波数の変化を均一に変動させることによって満たされる。代替案では、周波数の変化が、小さすぎて、導き出されるクロック信号の位相に影響を及ぼすことのないステップで生じる。例えば、位相ロック式ループ(「PLL」)を利用する場合、PLL出力は、安定していて、ジッタを生じないことが必要とされる。PLLは、入力1つとして基準信号を受信し、もう1つの入力としてフィードバック信号を受信する。安定性を得るため、一般には、フィードバック経路にフィルタが組み込まれる。フィルタの帯域幅を狭くすると、安定性が増す傾向があるが、ジッタを生じさせずに、基準信号の変化を追跡するPLLの能力が衰えることになる。フィルタの帯域幅を広くすると、安定性が低下する傾向があるが、ジッタを生じさせずに、基準信号の変化を追跡するPLLの能力が向上することになる。ステップ周波数(すなわち、基準信号のステップ変化の周波数)がPLLフィルタの帯域幅内に含まれるようにすることによって、ジッタが回避される。従って、PLL出力は、変調基準信号を受信する場合でも、平滑に変動(すなわち、変調)することが可能になる。従って、結果生じるCPUクロック信号は、平滑に変動するように、すなわち、任意の2つのPLLサイクルについて生じるサイクル間ジッタが、200psといった指定の制約条件未満になるように導入される。

【0017】本発明の利点は、電磁エネルギーの放射が、より広い帯域幅にわたって拡散されるので、その妨害能力が抑制されるということにある。すなわち、EMIが、FM受信機のような従来の通信受信機の帯域幅内において抑制されることになる。また、測定EMIが大幅に減少する。もう1つの利点は、こうしたEMIの抑制が、本発明の変調方法を適用される信号から導き出されるクロックが加えられるシステムまたはサブシステム全

体について得られることにある。本発明に関するこれらの及びその他の態様及び利点については、添付の図面に関連して示される下記の詳細な説明を参照することによってより深く理解することができよう。

【0018】

【実施例】

(概要) 図1には、本発明の実施例による計算機システムに用いられるクロック信号発生装置10のブロック図が示されている。デジタル計算システムには、一般に、さまざまなクロック周波数で動作する回路が含まれている。それ自体の独自の発生源(例えば、個別水晶発振器)から各信号を生じるのではなく、個々のクロック信号ができるだけ少ない基準信号源から導き出されることが望ましい。例えば、所定の計算機に対して、または、計算機内の各デジタル計算ボード(例えば、メイン・プロセッサ・ボード、グラフィックス・ボード、ビデオ・ボード)毎に、単一の水晶発振器を設けることが可能である。所定の水晶発振器の基準クロック周波数を利用して、ボードまたは計算機に必要なさまざまなクロック信号が、全て、導き出される。図1には、40MHzの信号を発生して、基準信号発振器に送り込む水晶発振器12が示されている。基準信号発生器14は、複数クロック信号発生回路18、18_fに入力される変調基準信号16を発生する。それぞれのクロック信号発生回路18、18_fは、従来の位相ロック式ループ及び周波数合成技法及び/または参考までに本書に組み込まれている前掲の関連出願：特願平8-337814号に開示のディザ技法など、その他の技法を利用して、所望の周波数でクロック信号を導き出す。

【0019】実施例の1つでは、所望の基準クロック周波数が、14.31818MHzである。本発明の態様の1つによれば、こうした基準周波数は、40MHzの基底信号からデジタル方式で導き出される。14.31818MHz信号は、実際の基準信号がその上下にランブを生じる所望の周波数の働きをする。こうしたランブは、既定の変調周波数において周期的に生じる。周波数変調器は、所望の程度だけ所望の基準信号を変動させる。実施例の1つでは、所望の基準信号は、+/-1%だけ変調されるが、代替実施例では、他の範囲が利用される。典型的な実施例の場合、変調基準信号16は、14.31818MHzより約1%速い上昇ランブを生じ、14.31818MHzより約1%遅い下降ランブを生じる。個々の実施例において、百分率の変動(例えば、+/-1%)は、変調基準信号16から導き出されるクロック信号の精度、ジッタ、及び、定格周波数の仕様に依りて異なる。典型的な範囲は、+/-1%~+/-2.5%であるが、実施要件に基づいて、範囲を縮小することも、拡大することも可能である。

【0020】所望の基準周波数に対して上下動するランブは、周期的に発生する。実施例の1つでは、変調周波

数が、31.46kHzである。基準周波数を変調することによって、電磁妨害雑音(EMI)の放射は、ある周波数範囲にわたって拡散されることになる。すなわち、エネルギーの発生が、所望の周波数(例えば、14.31818MHz)に限定されなくなる。 $+/-1\%$ の例の場合、エネルギーは、14.17500MHz~14.46136MHzの周波数範囲にわたって発生する。この $+/-1\%$ の帯域は約286.4kHzの範囲に相当する。従来の通信受信機において、120kHzの帯域が用いられているので、EMIの放射は、一般にこうした帯域にとって望ましくない。より広い周波数範囲にわたって帯域を拡散させることによって、同量のエネルギーがより広い帯域幅にわたって拡散する。従って、問題となる120kHzの帯域幅内のエネルギーが低減し、この結果、さまざまな無線信号または他の問題となる信号に対する妨害が低減することになる。

【0021】三角波形に関する基準信号のランプ変化を規定することによって、エネルギー拡散は周波数帯域(例えば、 $+/-1\%=286.4\text{kHz}$)にわたって均一になる。従って、120kHzの帯域幅内における望ましくないEMIの放射は、大幅に減少する。14.318MHz信号から導き出される400MHzで動作するCPUクロックは、EMIエネルギーが8MHzの範囲(すなわち、 $2\% \times 400\text{MHz} = 8\text{MHz}$)にわたって拡散される。従って、400MHzの信号に関する全てのEMI放射が400MHzにおいて生じるのではなく、該放射は、8MHzの範囲(例えば、396MHz~404MHz)にわたって拡散される。より重要なことは、拡散が、重要な120kHzの帯域よりも広い帯域にわたって行われることである。さらに、問題となるEMIの放射(例えば、120kHzの帯域内における放射)が、この放射が従来の方法で行われた場合の120kHz/8MHzまで低減する。これは、測定EMI放射における18dBの低減に相当する。

【0022】さらに、1MHzの信号が、0.99MHz~1.01MHzの帯域幅にわたって拡散される例について考察することにする。対応する $+/-1\%=10\text{kHz}$ は、問題となる120kHzの帯域幅未満である。しかし、2MHzの信号のように、こうした信号の高調波は、より広い帯域幅(例えば、1.98MHz~2.02MHz)にわたって拡散される。対応する $+/-1\%=20\text{kHz}$ は、問題となる120kHzの帯域を超える。従って、1MHzの一次信号に関するEMIが、直接的に低減しなくても、一次信号のこうした拡散は、一次信号の高調波のEMI放射を低減するのに有効である。

【0023】(変調基準周波数の発生)図2には、本発明の実施例に従って、変調基準周波数を発生するための装置に関するブロック図が示されている。水晶発振器12からの周期的基底信号13が、装置14に受信され

る。装置14は、基底信号13から所望の基準信号20を導き出して、さらに、所望の基準信号20に変調を施し、変調クロック基準信号16を生じさせる。

【0024】基底信号13は、所望の基準周波数発生回路22において受信される。回路22は、所望の基準信号20を発生する。信号20は、次に、既定の範囲にわたって所望の基準周波数を増減させる変調回路24に入力される。典型的な実施例の場合、こうした範囲は、 $+/-1\%$ である。こうした変動は、周期的に生じさせることになる。この結果、さまざまなクロック信号発生回路に出力される変調クロック基準信号16が得られる。

【0025】(所望の基準周波数の発生)図3には、所望の基準周波数発生回路22の実施例の1つが示されている。所望のクロック基準周波数信号20は、基底信号13の対応する最も近い遷移を所望のクロック基準信号20の遷移とみなすことによって導き出される。実際には、所望の基準周波数信号にディザが施される。長期にわたってディザを施した信号の平均周波数を出すと、所望の基準周波数信号20の周波数になる。基底信号13が連鎖をなすディバイダ(例えば、部品番号74161の標準ディバイダ)のクロック入力(CK)に入力される。各段毎に、除算演算が規定される。

【0026】第1段は、 n で割る演算である。第2段は、 m で割る演算である。第3段は、 p で割る演算である。各段毎の除数項は、所望の基準周波数で割る基底周波数の部分分数展開によって規定される。第1段のTCからの出力信号は、所望の基準周波数信号20である。第1段からの出力信号は、各後続段の与能入力(E1)にも送られる。第1段以外の各後続段の出力信号は、先行段の除数入力(DB)にフィードバックされ、1サイクルに関する先行段の除数項の調整が行われることになる。望ましい実施例によれば、こうした各段の出力(TC)からの出力信号によって、1サイクルに関する先行段の除数項がインクリメントする。各段の出力信号は、任意の後続段の与能入力にも送られる。結果として、第1段の除算は、第2段の計数出力毎に変更される。第2段の除算は、第3段の計数出力毎に変更される。従って、所望の基準周波数信号20に関してある信号パターンが形成される。

【0027】通常、装置14は、基底信号13の n 周期毎に、所望の基準信号20のアクティブ遷移を発生する。これは、第1段において基底信号の原クロック信号12を n で割ることによって実施される。一方、 n 個で1組の原クロック信号周期の m 組毎に、基底信号13の $n+1$ の周期の後に所望の基準信号16のアクティブ遷移が発生する。これは、第2段の出力を第1段にフィードバックし、1サイクルに関する除算カウントを n から $n+1$ に変更することによって実施される。一方、 m 個で1組の計数出力の p 組毎に、1サイクルに関する除算カウント m が、除算カウント $m+1$ に変更される。これ

は、第3段の出力を第2段にフィードバックして、除数項を m から $m+1$ に変更することによって実施される。従って、第3段の計数出力毎に、 $n+1$ の基底信号周期を利用する前に生じる、 n 個で1組の基底信号周期の組数として $m+1$ を利用することによって、所望の基準信号20のアクティブ遷移が発生する。このパターンは、所望の数の段について継続される。段数は、基準信号20の所望の精度に基づいて選択される。

【0028】各ディバイダ段 22_i の除数項($i=1$ 乃至 j)は、部分分数展開を利用して規定される。すなわち、所望の基準周波数を基底信号13の周波数で割ることによって整数部と分数部が生じる。整数部だけしかなければ、所望の基準周波数が基底信号周波数を割切ることができるので、単純な基底信号13の1段除算で十分である。こうした場合は、従来の方法及び装置によって実現される。しかし、所望の基準周波数が基底信号周波数を割切ることができない場合には、その結果は、第1の整数部及び第1の剰余部ということになる。整数部は、第1段(22_1)の除数項「 n 」とみなされる。次に、第1の剰余部の逆数をとることによって、第2の整数部と、ゼロの剰余部または非ゼロの分数剰余部が生じる。第2の整数は、第2段(22_2)の除数項「 m 」とみなされる。第2の剰余部が0の場合、所望の基準周波数を得るために用いられるのは、2段(すなわち、 $j=2$)の実施例だけになる。非ゼロの第2の分数剰余部が存在する場合、こうした剰余部の逆数をとることによって、第3の整数部と、ゼロまたは非ゼロの第3の分数剰余部が生じる。第3の整数部は、第3段 22_3 の除数項「 p 」とみなされる。第3の剰余部がゼロの場合、用いられるのは、3段(すなわち、 $j=3$)の実施例だけになる。別様の場合、逆数及び分数展開が、所望の段数まで、あるいは、ゼロの剰余部が得られるまで続行される。非ゼロの剰余部が存在しても、展開を中止し、それ以上除数項を規定しない場合もあるという点に留意されたい。段 22_i の数 j は、所望の基準周波数信号について所望される精度によって決まる。

【0029】40MHzの基底信号と14.31818MHzの所望の基準周波数の場合、連鎖には、 $j=3$ 段のディバイダが含まれる。除数項は、 $n=2$ 、 $m=1$ 、及び、 $p=3$ である。従って、第1段 22_1 の計数出力毎に、第2段 22_2 の出力が活性になり、第1段 22_1 に3で割る変更を知らせる。図4には、除数 $n=2$ 信号26及び除数 $n+1=3$ 信号28が示されている。第3段 22_3 のための展開により第3の除数項 $p=3$ が存在する。従って、第2段 22_2 の第3の計数出力毎に、除算カウントが1から2に変化する。図4には、結果生じる所望の基準周波数信号20も示されている。所望の基準周波数信号20が、基底信号13を3で割った値と2で割った値の間でディザを有するパターンであることに留意されたい。

【0030】(所望の基準周波数の変調)もう1度、図2を参照すると、所望の基準信号について上下に周波数のランプを生じさせることによって、変調器24において所望の基準周波数信号20の変調が行われる。実施例の1つでは、変調器はプログラマブル論理アレイ(PAL)によって実施される。PALは、所望の変調周期にわたって、信号を所望の百分率だけ変調するフリップ・フロップ及び他の論理を実施するようにプログラムされる。望ましい実施例の場合、変調器24は、三角変調波形を発生する。三角波形の利点は、波形が均一に変動することにある。実施例の1つでは、変調器24によって、基準周波数が約1%の上昇ランプと約1%の下降ランプを生じることになる。結果として発生する実際の基準周波数信号16は、周波数が $+/-1\%$ だけ変動する。実施例の1つでは、搬送波信号の周波数は31.46kHzである。従って、変調周期は、31.786 μ 秒(すなわち、 $1/31.460$ 秒)になる。特定の搬送波周波数及び所望の基準周波数の百分率変動は、実施例が異なれば異なることになる。図5には、変調クロック基準信号16の周波数変動図が示されている。周波数がインクリメンタル・ステップで変化することを示す。

【0031】基準周波数を変調することによって、電磁妨害雑音(EMI)放射が、拡大された周波数範囲にわたって拡散される。従って、EMIエネルギーの発生は、所望の基準周波数(例えば、14.31818MHz)に限定されず、14.17500MHz \sim 14.46136MHz(例えば、14.31818MHz $+/-1\%$)にわたって拡散される。これは、120kHzの範囲の2倍を超える、約286.4kHzの範囲に対応する。三角波搬送波の場合、エネルギーは、286kHzの範囲にわたってほぼ均一である。従って、測定EMI放射は、大幅に減少する。さらに、基準周波数のより高い高調波と特定のより低い高調波に関するEMI放射も減少する。

【0032】基準信号の変調によってEMIの放射を抑制する上での問題は、導き出されるクロック信号のジッタ及び精度要件を満たすことである。例えば、CPUクロックは、従来の規格の1つによれば、サイクル間ジッタが200ピコ秒未満であることを必要とする。もう1つの例として、ディスプレイ出力周波数の偏差が1%であっても、文字がふれたり、あるいは、滲んだりする。さらにもう1つの例として、時間及び日付を維持するシステム時計は、1ppm内の精度であることが必要とされる。従って、デジタル・クロックは、安定していて、発生しやすいことが必要とされる。エネルギーを拡散して、測定EMI放射を低減しようとするアナログ手法は、こうした問題に対処することができない。しかし、本発明の方法は、システム・クロック信号のジッタ及び精度要件に悪影響を及ぼすことなく、該放射を拡散させることが可能である。

【0033】実施例が異なれば変調波形周波数も異なるが、実施例の1つでは、ディスプレイ装置の水平帰線周期に整合するように31.46kHzの変調周波数が選択される。すなわち、ディスプレイ装置の出力クロックは、ジッタを回避して、ディスプレイ・スクリーンにクリアなイメージを形成できるようにしなければならない。例えば、VGA出力クロックの変調時に予測される悪影響は、ディスプレイ装置の水平帰線時間に整合する変調周波数を利用することによって克服される。ディスプレイ装置にとっては、垂直方向及び水平方向において整列するようにディスプレイ画素を配置することが重要である。VGA出力周波数の変動によって、ミスマライメントが生じると、イメージがぶれることになる可能性がある。しかし、変調周波数と水平帰線周波数を整合させることによって、ディスプレイ装置に走査される各走査線は、変調波形周期内の同じ相対時間位置から開始される。従って、画素は、全体として、走査線のある部分に対してわずかに近く、走査線の別の部分からはわずかに離れているが、それでも、垂直方向及び水平方向における画素のアライメントはとれている。

【0034】変調波形を発生する場合のもう1つの関心時は、例えば、CPUクロックにおける有害なジッタを回避するため、周波数が、均一または小さいステップで変動するということである。例えば、PENTIUMTMプロセッサは、200ps未満のジッタであることを必要とする。これに従う方法の1つは基準信号周波数を平滑に変動させて、サイクル間のジッタが200ps未満になるようにすることである。もう1つの遵守方法は、CPUクロックが導き出されるPLL回路を不安定にするには小さすぎるステップで、基準信号周波数を変化させることである。

【0035】図6を参照すると、CPUクロック信号発生回路18には、位相ロック式ループ回路(「PLL」)30とフィルタ32が含まれている。PLL30は、入力の一つで基準信号16を受信し、もう一つの入力でフィードバック信号34を受信する。フィルタ32は、出力クロック信号19に安定性をもたらす働きをする。フィルタ32の帯域幅を狭くすると、安定性が増す傾向があるが、ジッタを生じさせずに、基準信号の変化を追跡するPLLの能力が衰えることになる。フィルタ32の帯域幅を広くすると、安定性が低下する傾向があるが、ジッタを生じさせずに、基準信号の変化を追跡するPLLの能力が向上することになる。ステップ周波数(すなわち、基準信号のステップ変化の周波数)がPLLフィルタの帯域幅内に含まれるようにすることによって、ジッタが回避される。従って、PLL30の出力は、変調基準信号を受信する場合でも、平滑に変動(すなわち、変調)することが可能になる。従って、結果生じるCPUクロック信号19は、平滑に変動するように、すなわち、任意の2つのPLLサイクルについて生

じるサイクル間ジッタが、200psといった指定の制約条件未満になるように導入される。

【0036】クロック信号の発生及びクロック信号におけるEMIの抑制

もう1度図1を参照すると、複数クロック発生回路18のそれぞれが、変調基準信号16を受信する。クロック発生回路18は、所定のデジタル・計算機システムに関してさまざまなシステム・クロック信号を発生する。図解の実施例の場合、クロック信号は、PCIバス、フロッピー・ディスク・ドライブ、CPUバス、VGAコア電子装置、VGA出力周波数及びシステム時計のために発生する。実施例の1つでは、クロック信号は、従来のように、位相ロック式ループ及び所望のクロック信号を得るための周波数合成技法を利用して発生する。例えば、変調基準信号は、さまざまな中間信号に分割される。それぞれの中間信号の複数周期を組み合わせることによって、基準周波数を超える所望の周波数まで増倍することになる。

【0037】代替実施例の場合、位相ロック式ループ技法を利用する代わりに、ディザ技法を用いて、変調基準信号が分割される。こうしたディザについては、所望の基準周波数信号20の発生に関して既に説明済みである。以下に本発明の実施態様のいくつかを示す。

【0038】(実施態様1) 基底信号(13)の対応する最も近い遷移を、所望の平均周波数を有する第1の信号(20)のアクティブ遷移とみなすことによって、デジタル方式で該基底信号から第1の信号を導き出すステップと、第1の信号(20)の周波数に変調を施して、上限と下限の間で周期的に変動する周波数を有する変調基準信号(16)を得るステップと、変調基準信号からクロック信号(19)を発生するステップとが含まれており、変調基準信号の電磁妨害雑音の放射が、第1の周波数帯域にわたって拡散され、かつ前記クロック信号の電磁妨害雑音の放射が、第2の周波数帯域にわたって拡散されることを特徴とする、デジタル・システムにおける電磁妨害雑音の放射を抑制するための方法。

【0039】(実施態様2) 第1の信号(20)を変調するステップにおいて、前記発生したクロック信号を受信するディスプレイ装置の水平帰線周期と整合して変調周期が決まることを特徴とする、実施態様1に記載の方法。

(実施態様3) 変調基準信号(16)の周波数が、インクリメンタル・ステップで変動し、前記ステップが、変調基準信号を受信するCPUクロック発生回路(18)の安定性を決めるフィルタ(32)の帯域幅内にあることを特徴とする、実施態様1または2に記載の方法。

【0040】(実施態様4) デジタル方式で導き出すステップにおいて、基底信号周波数を所望の平均周波数で割った部分分数展開を利用して、組をなすj個の除数項を規定するステップと、j個の除数項の関数として第1

の信号周期にディザを施すためのパターンを規定するステップが含まれていることを特徴とする、実施態様1、2、または、3に記載の方法。

(実施態様5) パターンを規定するステップが、直列連鎖をなす周波数分割回路段(22)において基底信号周波数を分周し、周波数分割回路段のそれぞれが、j個の除数項の対応する1つによって決まる除数項を利用して、周波数分周を実施し、最後の段以外の、直列連鎖をなすどの段も、除数項が直接的に連続した次段の計数出力にตอบสนองして変更されることを特徴とする、実施態様4に記載の方法。

【0041】(実施態様6) 基底信号(13)を受信し、これにตอบสนองして、基底信号の対応する最も近い遷移をそのアクティブ遷移とみなすことによって、所望の平均周波数を有する第1の信号(20)を導き出すデジタル論理回路要素(22)と、第1の信号(20)の周波数が上限と下限の間で周期的に変動するように変調を施して、変調基準信号(16)が得られるようにする変調器(24)と、変調基準信号(16)からクロック信号(19)を発生するクロック発生回路(18)とが含まれており、変調基準信号の電磁妨害雑音の放射が、第1の周波数帯域にわたって拡散され、発生したクロック信号の電磁妨害雑音の放射が、第2の周波数帯域にわたって拡散されることを特徴とする、デジタル・システムにおける電磁妨害雑音の放射を抑制するための装置。

【0042】(実施態様7) 変調基準信号の変調周期が、前記発生したクロック信号を受信するディスプレイ装置の水平掃線周期に整合することを特徴とする、実施態様6に記載の装置。

(実施態様8) 変調基準信号周波数が、インクリメンタル・ステップで変動し、前記ステップ変動が、変調基準信号を受信するCPUクロック発生回路(18)の安定性を決めるフィルタ(32)の帯域幅内の周波数ステップであることを特徴とする、実施態様6または7に記載の装置。

【0043】(実施態様9) 前記デジタル論理回路要素は、基底信号(13)のn周期とn+1周期の間で第1の信号(20)の信号周期にディザを施すために直列に結合された複数のディバイダ(22_a~22_j)を備え、前記複数のディバイダは、それぞれ、除数項を有し、該複数のディバイダのうち最下位のディバイダが、nに等しい除数項を有し、直列をなす複数のディバイダのうち最下位の次のディバイダが、mに等しい除数項を有し、第1の信号の所望の周波数で割った基底信号の周波数が、第1の整数部と第1の剰余部を有し、nが第1の整数部と規定され、第1の剰余部の逆数が、第2の整数部を有し、mが第2の整数部に等しいことを特徴とする、

実施態様6、7、または、8に記載の装置。

【0044】(実施態様10) クロック発生回路が、位相ロック式ループ回路(30)とフィルタ(32)を含んでおり、位相ロック式ループ回路が、第1の入力において変調基準信号(16)を受信すると、これにตอบสนองして、出力クロック信号(19)を発生し、この出力クロック信号が第2の入力に対するフィルタを通して、位相ロック式ループ回路に送り返され、変調基準信号(16)がインクリメンタル・ステップで変動し、前記ステップ変動がフィルタ(32)の帯域幅内の周波数ステップであることを特徴とする、実施態様6、7、8、または、9に記載の装置。

【0045】

【発明の効果】本発明の利点は、電磁エネルギーの放射が、より広い帯域幅にわたって拡散されるので、その妨害能力が抑制されるということにある。すなわち、EMIが、FM受信機のような従来の通信受信機の帯域幅内において抑制されることになる。また、測定EMIが大幅に減少する。もう1つの利点は、こうしたEMIの抑制が、本発明の変調方法を適用される信号から導き出されるクロックが加えられるシステムまたはサブシステム全体について得られることにある。

【図面の簡単な説明】

【図1】本発明のEMI抑制方法を具現化した、共通基準信号から複数のクロック信号を発生するための装置に関するブロック図である。

【図2】本発明の実施例に基づいて、変調クロック基準周波数信号を発生するための装置に関するブロック図である。

【図3】基底信号からディザを施した基準周波数信号を導き出すための装置に関するブロック図である。

【図4】40MHzの基底信号と14.31818MHzの所望の基準信号に関して、基底信号から基準周波数信号を導き出す過程を説明するための波形図である。

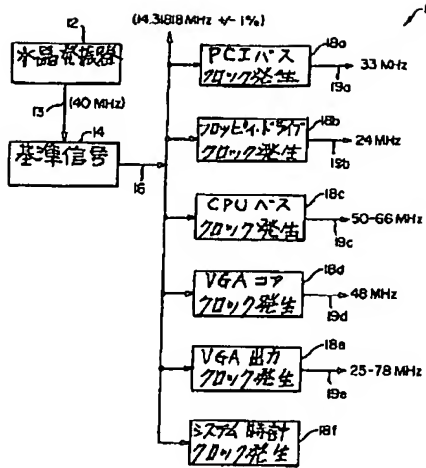
【図5】本発明の実施例による変調基準信号の周波数変動図である。

【図6】図5の変調基準信号を受信するクロック発生回路のブロック図である。

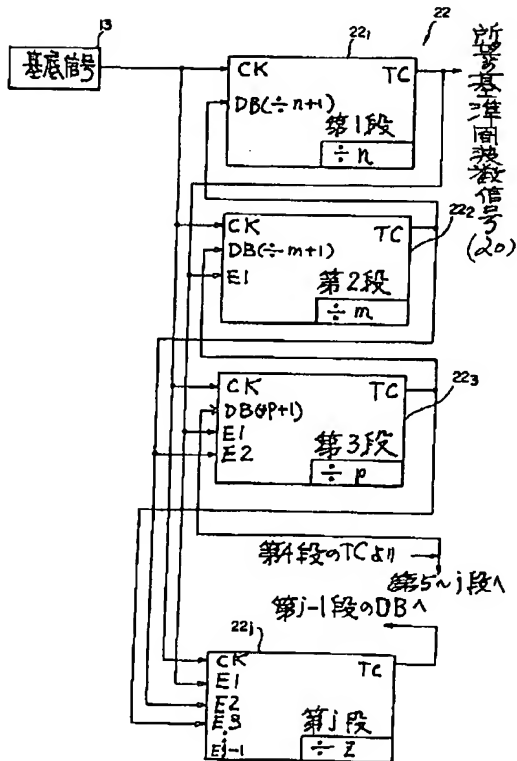
【符号の説明】

- 10 クロック信号発生装置
- 12 水晶発振器
- 14 基準信号発生器
- 18 クロック信号発生回路
- 22 所望の基準周波数発生回路
- 24 周波数変調回路
- 30 位相ロック式ループ回路
- 32 フィルタ

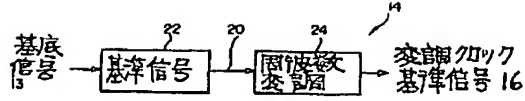
【図1】



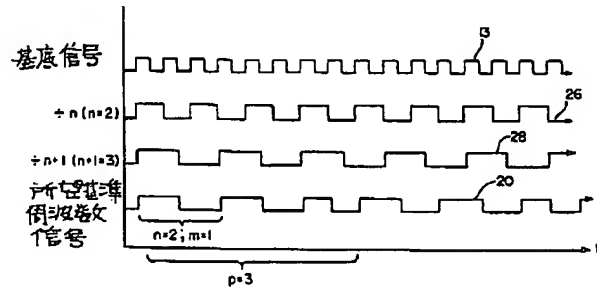
【図3】



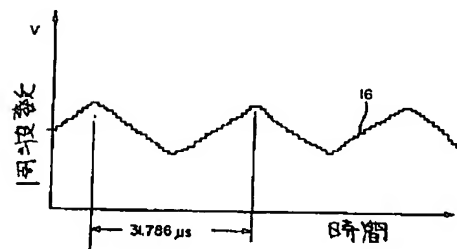
【図2】



【図4】



【図5】



【図6】

